


Référence	Langue	Visa	Date de création	Indice
1016-10-1.00-STD-B-001	FR	N	12/04/2010	001

Spécifications techniques détaillées

Firmware

Carte NFTC

Auteur	NM	 35 rue Tournefort 75005 PARIS www.hlp.fr
Vérificateur	DP	

Nom du document : 1016-10-1.00-STD-B-001 -STD Logiciel embarqué.doc

Historique du document			
Indice	Date	Auteur	Description
001	12/04/2010	NM	Création du document

SOMMAIRE CONTENTS

1. INTRODUCTION	5
1.1. PORTEE DU DOCUMENT.....	5
1.2. DOCUMENTS REFERENCES.....	5
1.3. GLOSSAIRE.....	5
2. GENERALITES	6
3. LES MODULES LOGICIELS	7
3.1. PRESENTATION.....	7
3.2. INTERFACE PRINCIPALE	8
4. LES REQUETES UTILISATEUR.....	9
4.1. GENERALITES	9
4.2. LECTURE EEPROM	9
4.3. ECRITURE EEPROM.....	10
4.4. LECTURE ADC.....	10
4.5. COMMANDE CHAUFFAGE.....	11
4.6. ACCES FIP : LECTURE VARIABLE.....	12
4.7. ACCES FIP : ECRITURE VARIABLE	13
4.8. CONTROLE GENERAL.....	14
5. SEQUENCEUR : MACHINE A ETATS.....	16
5.1. INTERFACE.....	16
5.2. VUE FONCTIONNELLE.....	17
5.3. DEFINITION DES ETATS	17
5.4. TRAITEMENT DES ETATS	19
5.4.1. <i>Diagramme fonctionnel général</i>	19
5.4.2. <i>Lecture dans l'EEPROM</i>	21
5.4.3. <i>Ecriture dans l'EEPROM</i>	22
5.4.4. <i>Lecture de l'ADC</i>	23
5.4.5. <i>Commande chauffage</i>	24
5.4.6. <i>Lecture FIP</i>	25
5.4.7. <i>Ecriture FIP</i>	27
5.4.8. <i>Contrôle général</i>	28
6. MODULES A EXECUTION CONCURRENTE.....	29
6.1. ACCES DONNEES FIP : MODULE FIPACCESS	29
6.1.1. <i>Interface</i>	29
6.1.2. <i>Machine à états</i>	29
6.1.3. <i>Fonctionnement</i>	30
6.2. COPIE FIP SUR RS-485	33
6.2.1. <i>Interface</i>	33
6.2.2. <i>Fonctionnement</i>	33
6.3. WATCHDOG	34
6.3.1. <i>Interface</i>	34
6.3.2. <i>Fonctionnement</i>	34
7. CONSTANTES UTILISEES	36
7.1. ACQUITTEMENTS	36
7.2. PERIPHERIQUES I2C	36
8. EEPROM.....	37
8.1. MAPPING MEMOIRE	37
9. LEGENDES	39

1. INTRODUCTION

1.1. PORTEE DU DOCUMENT

Ce document est une spécification technique détaillée du firmware du FPGA de contrôle de la carte de test du *NanoFip*.

1.2. DOCUMENTS REFERENCES

ID	Titre	Référence
#1	Spécifications du NanoFIP	cernfip_fspect1_2.pdf
#		

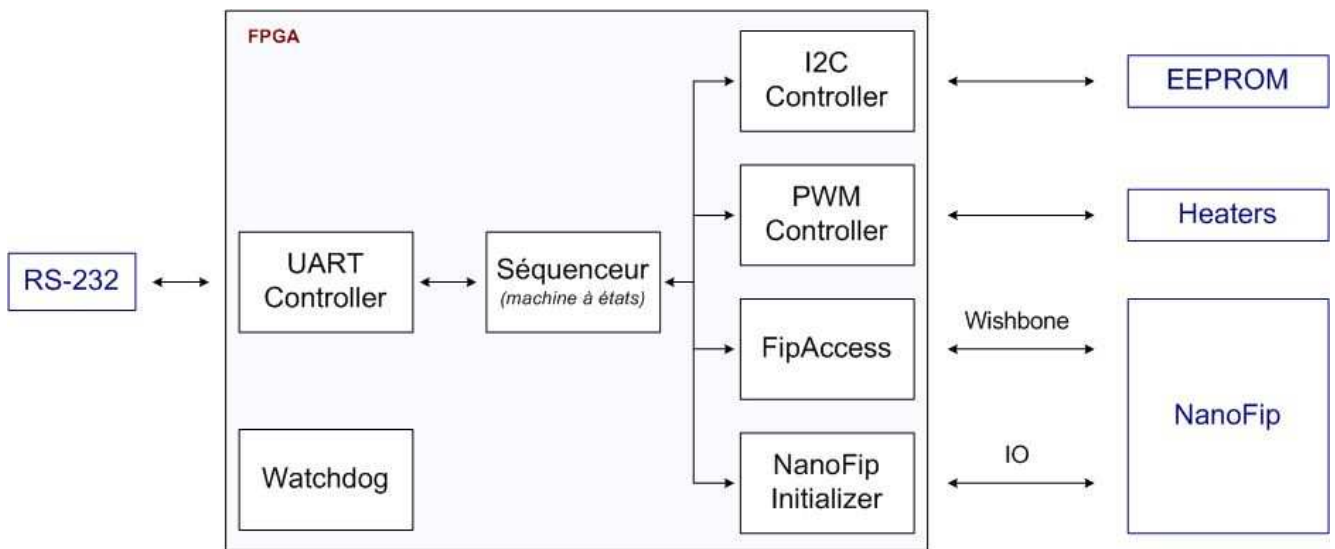
1.3. GLOSSAIRE

CERN	Centre Européen de Recherche Nucléaire
CPLD	Complex Programmable Logic Device
FIP	Factory Interconnection Protocol
FPGA	Field Programmable Gate Array
PN	Product Number
PWM	Pulse Width Modulation
RCO	Rapport Cyclique d'Ouverture
VHDL	VHSIC Hardware Description Language

2. GENERALITES

Le firmware du FPGA de contrôle de la carte NFTC s'articule autour d'un séquenceur. Ce séquenceur est écrit sous la forme d'une machine à états.

Le FPGA exécute des requêtes émanant de l'utilisateur (liaison série avec le poste de contrôle) et y répond.



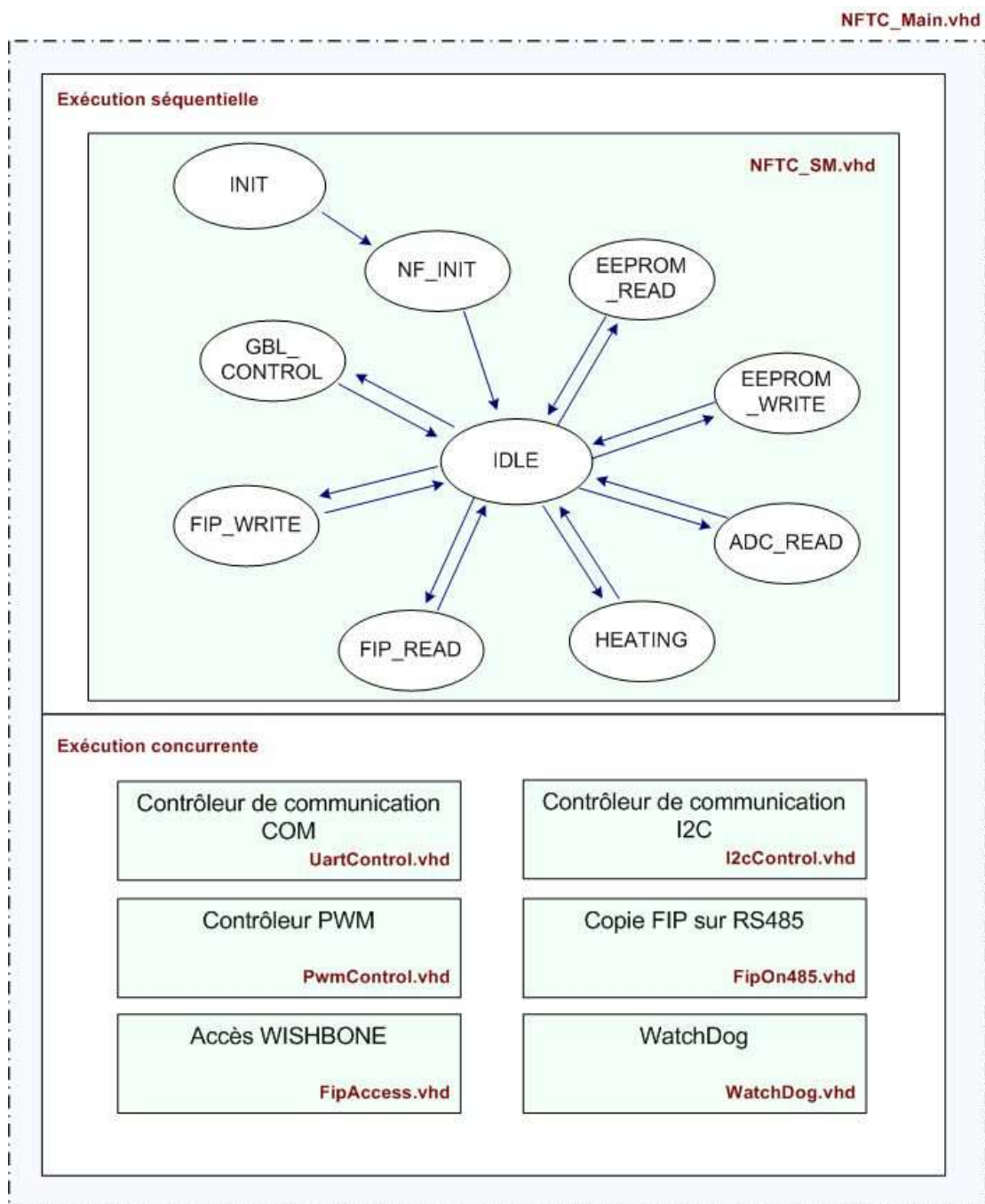
Les requêtes arrivent de la liaison RS232 et activent des modules du FPGA. L'utilisateur peut par exemple lire une donnée en EEPROM, activer le chauffage de la carte...

3. LES MODULES LOGICIELS

3.1. PRESENTATION

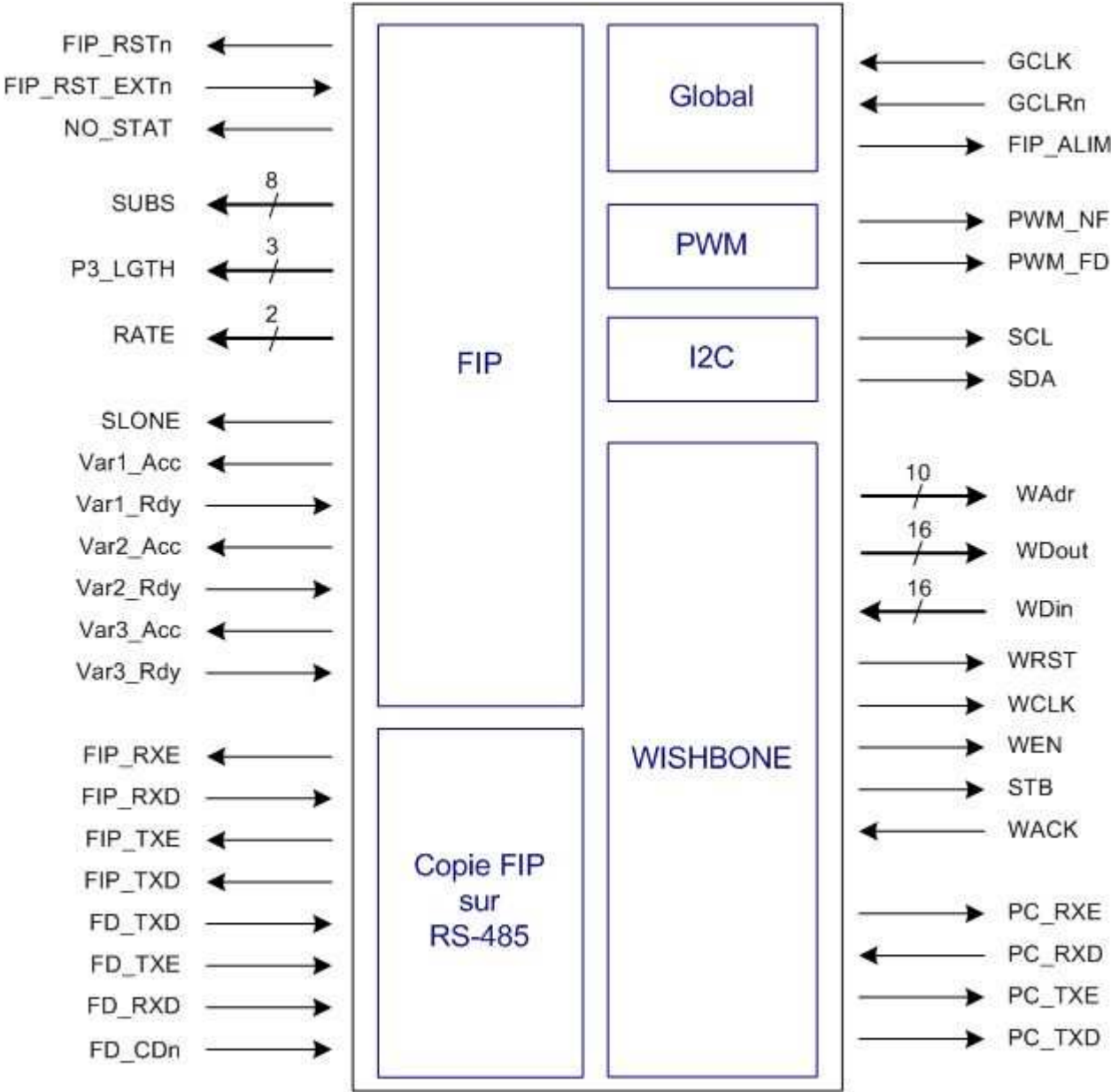
Deux types de modules sont à différencier :

- les modules à accès séquentiels : leur activation est liée à une requête de l'utilisateur.
- les modules à accès concurrents : ils sont toujours actifs.



3.2. INTERFACE PRINCIPALE

L'interface principale est définie dans *NFTC_main.vhd*.



4. LES REQUETES UTILISATEUR

4.1. GENERALITES

Toute donnée envoyée par le PC doit être acquittée par la carte NFTC.



Sur erreur d'une réception (parité fausse...), l'opération se termine et le FPGA repasse dans l'état IDLE.



*Le timeout RS-485 (RS-232) est réglé sur 3ms.
Si aucune donnée n'est reçue par le FPGA pendant ce délai, l'opération se termine et le FPGA repasse dans l'état IDLE.*

4.2. LECTURE EEPROM

Le PC peut lire les 128 octets de la carte NFTC.



Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x10
ACK	NFTC	PC	0x01
Adresse	PC	NFTC	0x00 à 0x7F
ACK	NFTC	PC	0x01
Taille Données ⁽¹⁾	PC	NFTC	0x01 à 0x80
ACK	NFTC	PC	0x01
Donnée	NFTC	PC	0x00 à 0xFF
Donnée	NFTC	PC	0x00 à 0xFF
...
Donnée	NFTC	PC	0x00 à 0xFF

⁽¹⁾ : La somme **Adresse + (Taille-1)** ne peut pas dépasser la valeur 127 (0x7F)

Par exemple : Adresse = 0x20

Taille = 0x10 (16 octets)
Soit une lecture des adresses 0x20 à 0x2F (soit 16 octets)

4.3. ECRITURE EEPROM

Le PC peut écrire les 128 octets de la carte NFTC.



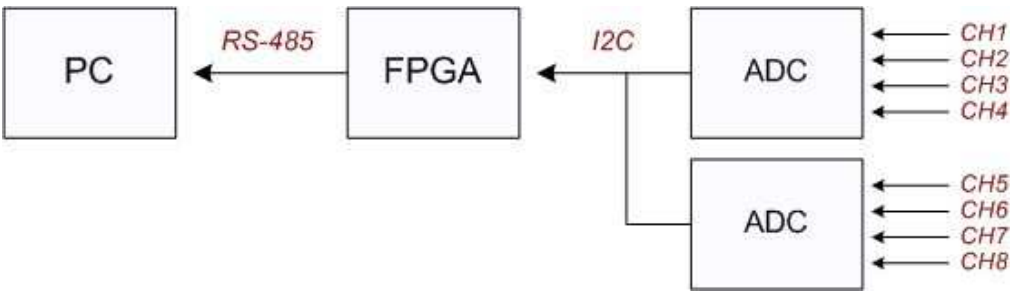
Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x11
ACK	NFTC	PC	0x01
Adresse	PC	NFTC	0x00 à 0x7F
ACK	NFTC	PC	0x01
Taille Données ⁽¹⁾	PC	NFTC	0x01 à 0x80
ACK	NFTC	PC	0x01
Donnée	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01
...
Donnée	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01

⁽¹⁾ : La somme **Adresse + (Taille-1)** ne peut pas dépasser la valeur 127 (0x7F)
Par exemple : Adresse = 0x20
Taille = 0x10 (16 octets)
Soit une écriture des adresses 0x20 à 0x2F (soit 16 octets)

4.4. LECTURE ADC

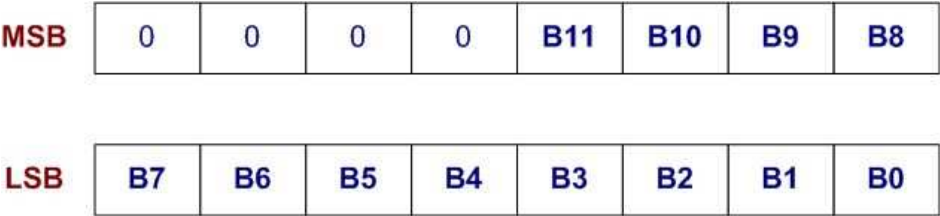
- Le PC peut lire les 8 voies analogiques de la carte NFTC :
- o Température du Fieldrive : canal 1.
 - o Température du NanoFip : canal 2.
 - o Consommation du Fieldrive : canal 3.

- Consommation du NanoFip : canal 4.
- Tension d'alimentation du NanoFip 1V5 : canal 5
- Tension d'alimentation du NanoFip 3V3 : canal 6
- Tension d'alimentation 5V : canal 7
- Tension d'alimentation 9V : canal 8



Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x12
ACK	NFTC	PC	0x01
Canal	PC	NFTC	0x01 : canal 1 0x02 : canal 2 0x03 : canal 3 0x04 : canal 4 0x05 : canal 5 0x06 : canal 6 0x07 : canal 7 0x08 : canal 8
ACK	NFTC	PC	0x01
Donnée MSB	NFTC	PC	0x00 à 0x0F
Donnée LSB	NFTC	PC	0x00 à 0xFF

Les données converties par l'ADC sont sur 12 bits :



4.5. COMMANDE CHAUFFAGE

Le PC peut envoyer la valeur du signal PWM :

- De chauffage du NanoFip
- De chauffage du Fieldrive



Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x13
ACK	NFTC	PC	0x01
Commande Fieldrive	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01
Commande NanoFip	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01

La valeur du PWM est actuellement donnée sur 5 bits.

Les valeurs acceptables vont donc de 0x00 à 0x1F. Les autres valeurs de 0x20 à 00xFF ne sont pas prises en compte et la valeur précédente est conservée.

4.6. ACCES FIP : LECTURE VARIABLE

Le PC peut lire les variables FIP du *NanoFip* via son interface WISHBONE :

- Variable 1
- Variable 2 : broadcast



Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x14
ACK	NFTC	PC	0x01
Variable ID	PC	NFTC	0x01 ou 0x02
ACK	NFTC	PC	0x01
Longueur données	NFTC	PC	0x00 à 0x7F

Data : octet 1	NFTC	PC	0x00 à 0xFF
...
Data : octet N	NFTC	PC	0x00 à 0xFF



Si SLONE = 1 :

- « Variable ID » = 0x01 uniquement
- « Longueur données » = 2

4.7. ACCES FIP : ECRITURE VARIABLE

Le PC peut écrire la variable 3 FIP du *NanoFip* via son interface WISHBONE :



Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x15
ACK	NFTC	PC	0x01
Variable ID	PC	NFTC	0x03
ACK	NFTC	PC	0x01
Longueur données	PC	NFTC	0x00 à 0x7F
ACK	NFTC	PC	0x01
Data : octet 1	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01
...
Data : octet N	PC	NFTC	0x00 à 0xFF
ACK	NFTC	PC	0x01



Si SLONE = 1, « Longueur données » = 2

Si SLONE = 0, « Longueur données » doit être cohérent avec P3_LGTH

4.8. CONTROLE GENERAL

Le PC peut contrôler certains paramètres généraux de la carte NFTC :

- en imposant une commande
- en lisant le statut de la carte

Type	Emetteur	Récepteur	Valeur
Requête	PC	NFTC	0x16
ACK	NFTC	PC	0x01
Command	PC	NFTC	0x00 à 0x07
ACK	NFTC	PC	0x01
Status	NFTC	PC	0x00 à 0x0F

L'octet de commande est le suivant :

rsv	rsv	rsv	rsv	rsv	FIP_485	FIP_RST	FIP_SUP
-----	-----	-----	-----	-----	---------	---------	---------

FIP_485 : 1 → recopie FIP sur le driver RS485
0 → pas de recopie FIP

FIP_RST : 1 → reset de la fonction FIP de la carte NFTC
0 → pas de reset FIP

FIP_SUP : 1 → alimentation de la fonction FIP de la carte NFTC
0 → coupure de l'alimentation

L'octet de statut est le suivant :

rsv	rsv	rsv	rsv	POI	SLONE	FIP_RST On	INIT
-----	-----	-----	-----	-----	-------	---------------	------

INIT : 1 → initialisation de la carte NFTC en succès
0 → initialisation de la carte NFTC en échec

FIP_RSTOn : 1 → pas de reset externe (FIP) de la carte NFTC
0 → reset externe (FIP) de la carte NFTC

SLONE : 1 → le NanoFip fonctionne en mode « Stand-Alone »

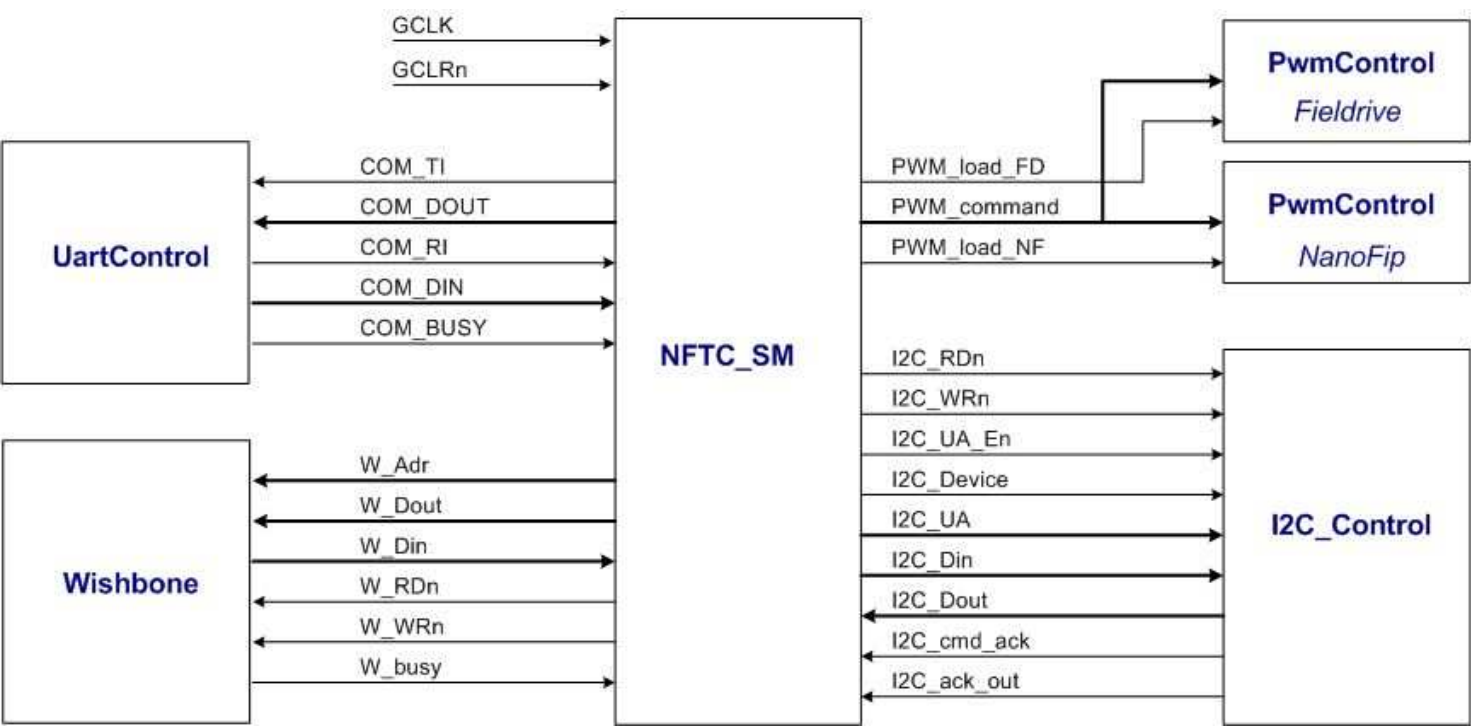
0 → le NanoFip fonctionne en mode « Memory »

POI : 1 → l'initialisation de la carte a eu lieu avec les données de l'EEPROM

0 → l'initialisation de la carte a eu lieu avec les données câblées (jumpers)

5. SEQUENCEUR : MACHINE A ETATS

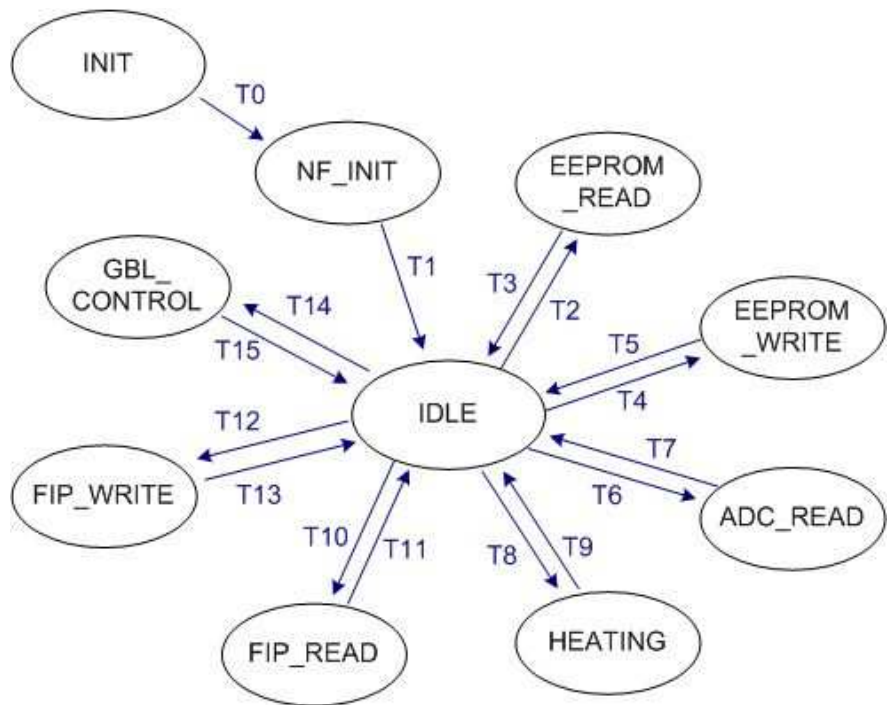
5.1. INTERFACE



Définition des IO

Nom	Type	Taille	Description

5.2. VUE FONCTIONNELLE



5.3. DEFINITION DES ETATS

L'exécution séquentielle se fait autour d'une machine à état.
Chaque module s'exécute en fonction des requêtes de l'utilisateur.

Définition des Etats

Nom	Description de l'état	Etat suivant	Condition
INIT	Initialisation du FPGA au power-on	NF_INIT	T0
NF_INIT	Initialisation du NanoFip au power-on en fonction des données stockées en EEPROM	IDLE	T1
IDLE	Attente d'une requête de l'opérateur	EEPROM_READ	T2
		EEPROM_WRITE	T4
		ADC_READ	T6
		HEATING	T8
		FIP_READ	T10
		FIP_WRITE	T12

		GBL_CONTROL	T14
EEPROM_READ	Lecture d'une donnée de l'EEPROM	IDLE	T3
EEPROM_WRITE	Ecriture d'une donnée dans l'EEPROM	IDLE	T5
ADC_READ	Lecture d'une donnée analogique (température, tension ou consommation courant)	IDLE	T7
HEATING	Commande de chauffage des composants Fieldrive et NanoFip	IDLE	T9
FIP_READ	Lecture d'une variable FIP	IDLE	T11
FIP_WRITE	Ecriture d'une variable FIP	IDLE	T13
GBL_CONTROL	Contrôle de l'alimentation et du reset	IDLE	T15

Définition des transitions

Nom	Source	Destination	Condition
T0	INIT	NF_INIT	GCLRn = 1
T1	NF_INIT	IDLE	Fin de l'opération
T2	IDLE	EEPROM_READ	Requête = 0x10
T3	EEPROM_READ	IDLE	Fin de l'opération
T4	IDLE	EEPROM_WRITE	Requête = 0x11
T5	EEPROM_WRITE	IDLE	Fin de l'opération
T6	IDLE	ADC_READ	Requête = 0x12
T7	ADC_READ	IDLE	Fin de l'opération
T8	IDLE	HEATING	Requête = 0x13
T9	HEATING	IDLE	Fin de l'opération
T10	IDLE	FIP_READ	Requête = 0x14
T11	FIP_READ	IDLE	Fin de l'opération
T12	IDLE	FIP_WRITE	Requête = 0x15
T13	FIP_WRITE	IDLE	Fin de l'opération
T14	IDLE	GBL_CONTROL	Requête = 0x16
T15	GBL_CONTROL	IDLE	Fin de l'opération

5.4. TRAITEMENT DES ETATS

En plus du traitement spécifique à chacun, chaque sous-module a la charge :

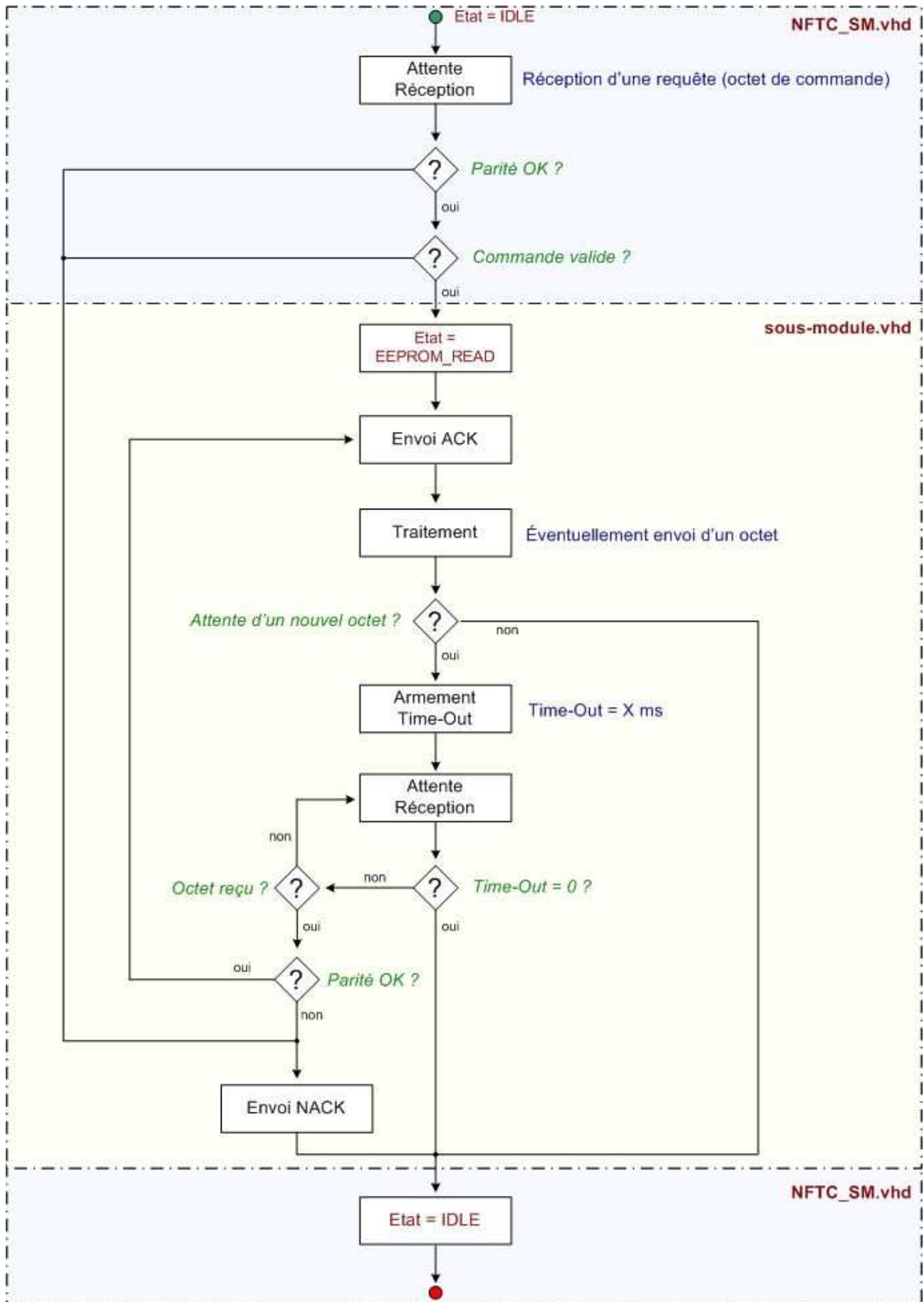
- d'acquitter (ou non) un octet reçu en fonction de son caractère exploitable / non exploitable
- d'armer le Time-Out en réception et de déclencher le retour à l'état IDLE.

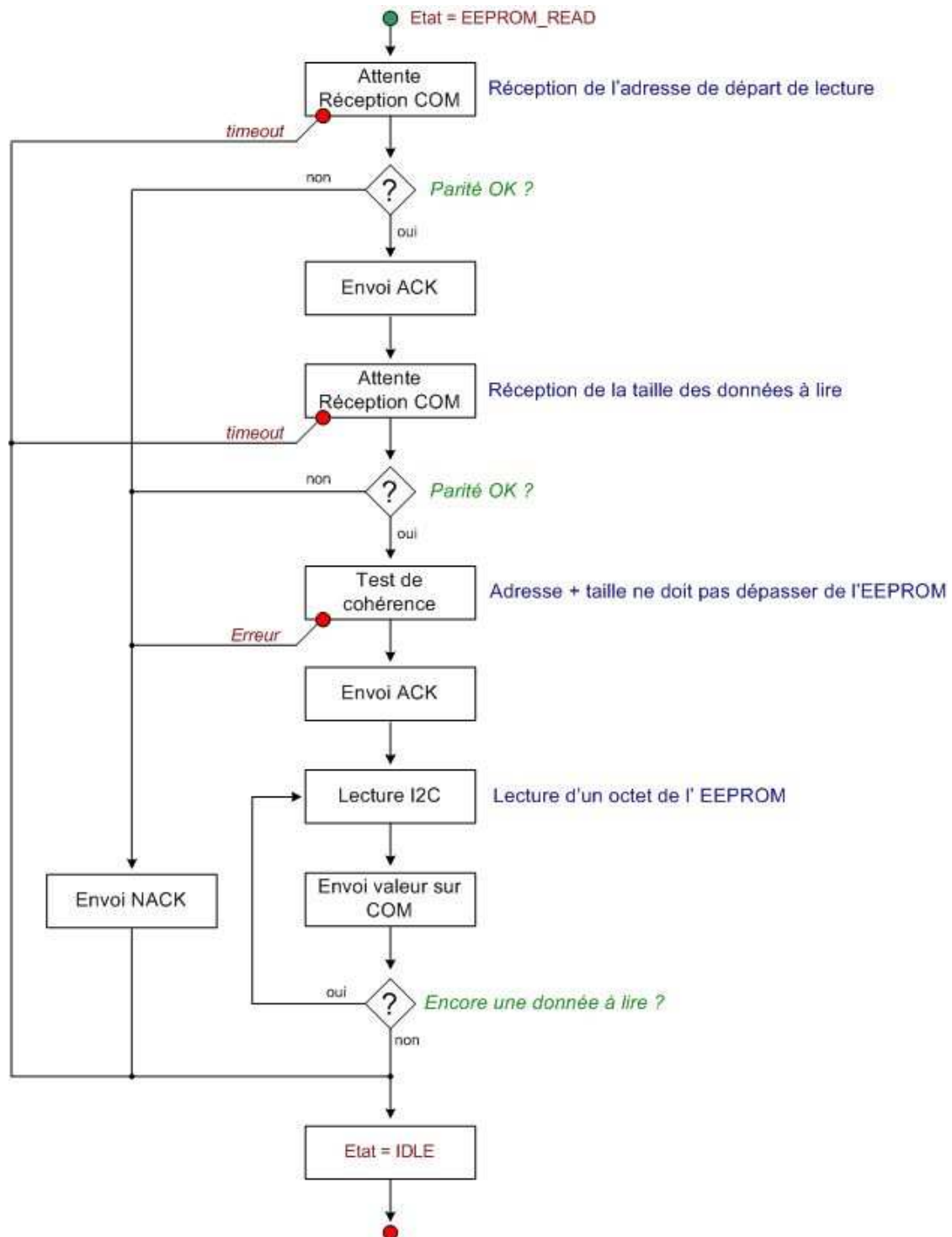


*Le **Time-Out** a pour but de faire revenir la machine à état en IDLE si :*

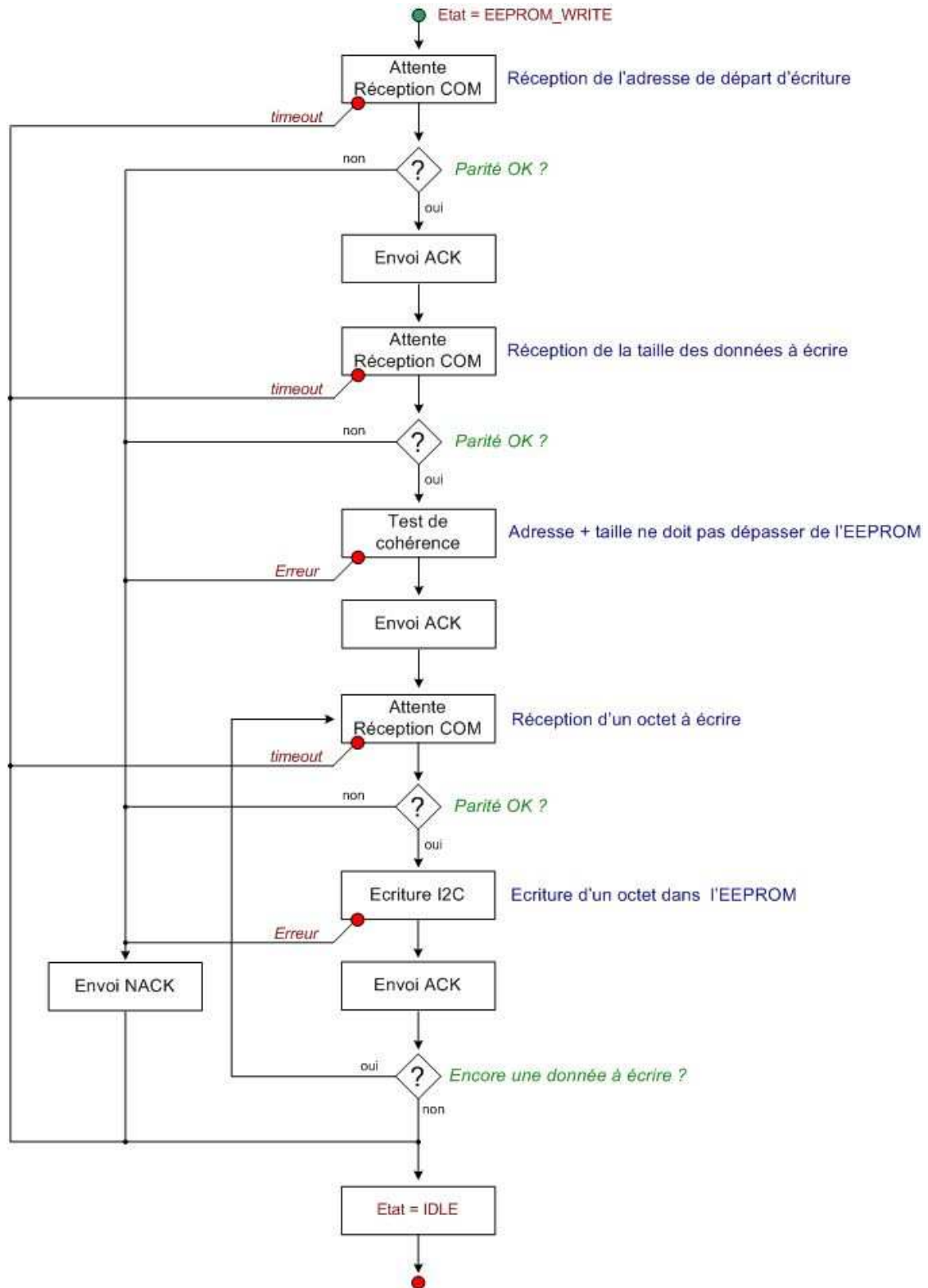
- la communication est coupée*
- le PC arrête son exécution (et ne transmet donc rien)*

5.4.1. DIAGRAMME FONCTIONNEL GENERAL

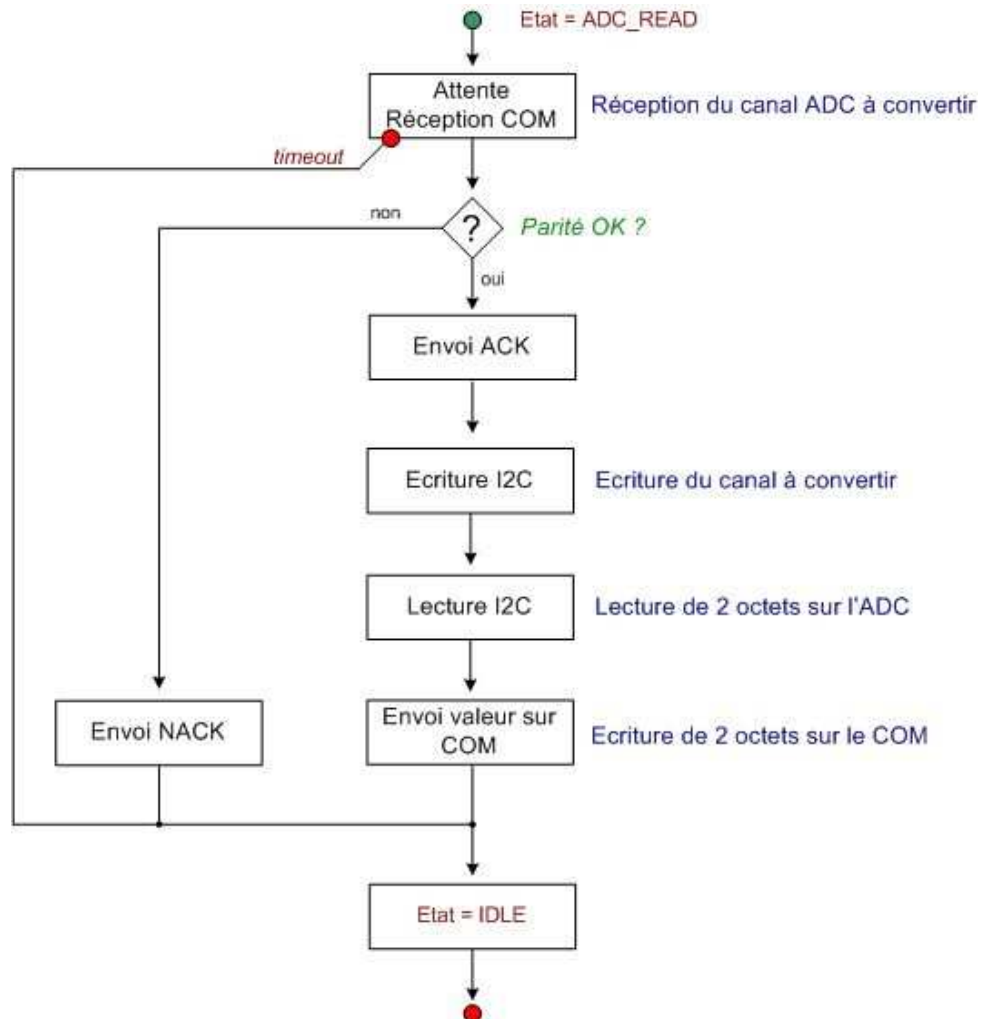


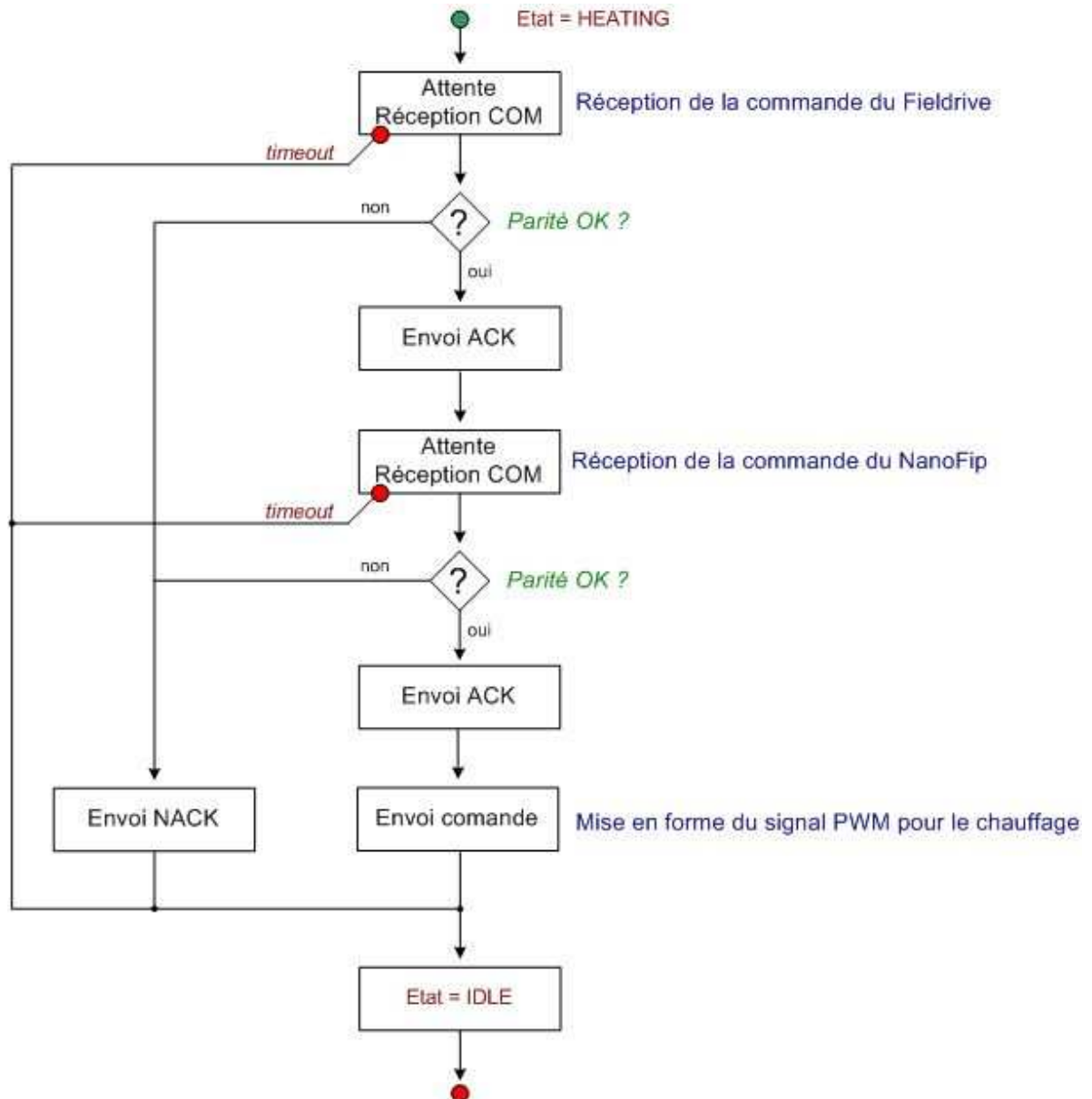
5.4.2. LECTURE DANS L'EEPROM

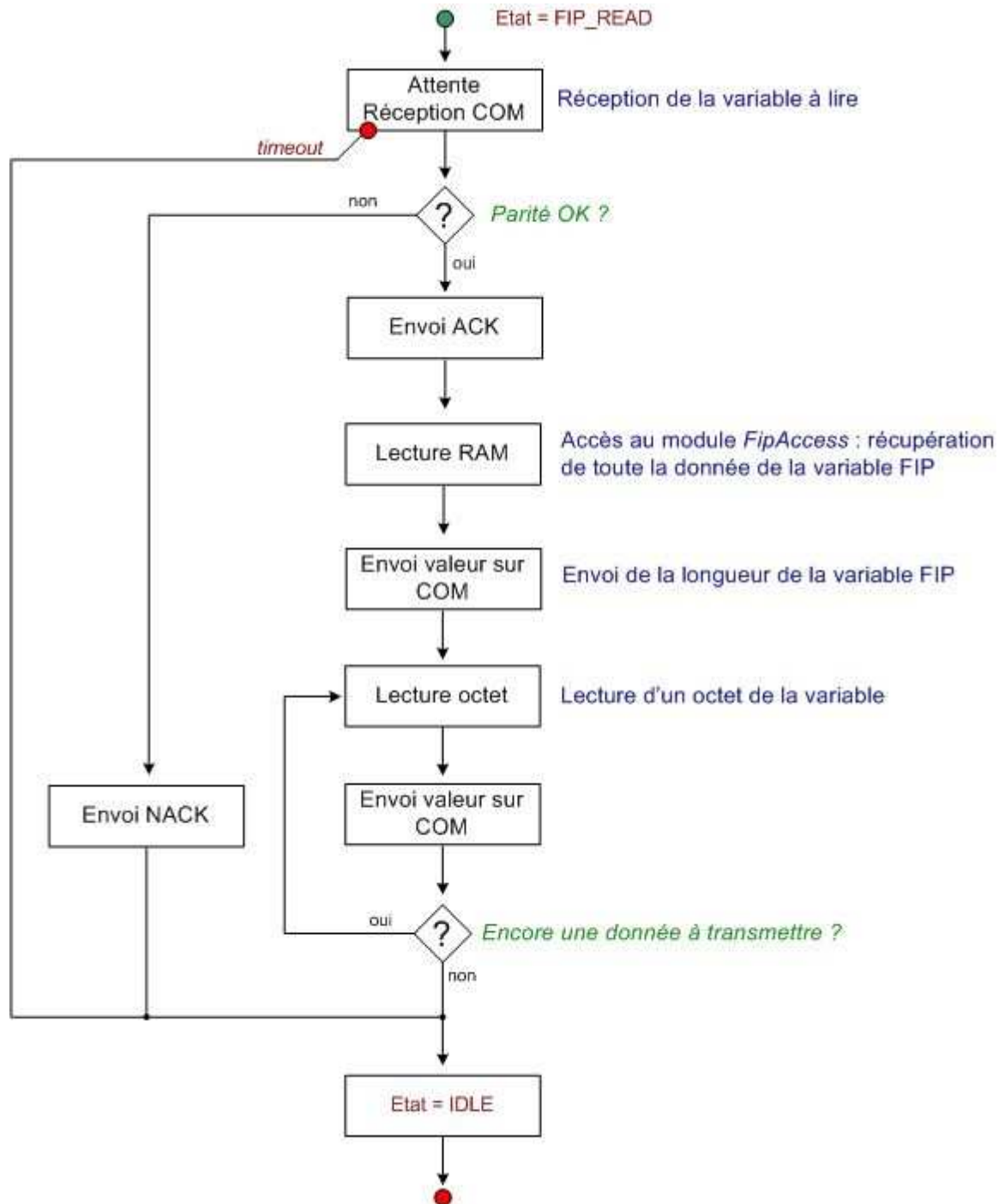
5.4.3. ECRITURE DANS L'EEPROM



5.4.4. LECTURE DE L'ADC



5.4.5. COMMANDE CHAUFFAGE

5.4.6. LECTURE FIP

Le format d'une variable FIP lue sur le NanoFip est la suivante :

PDU

Longueur donnée FIP (N)

Donnée (N octets)

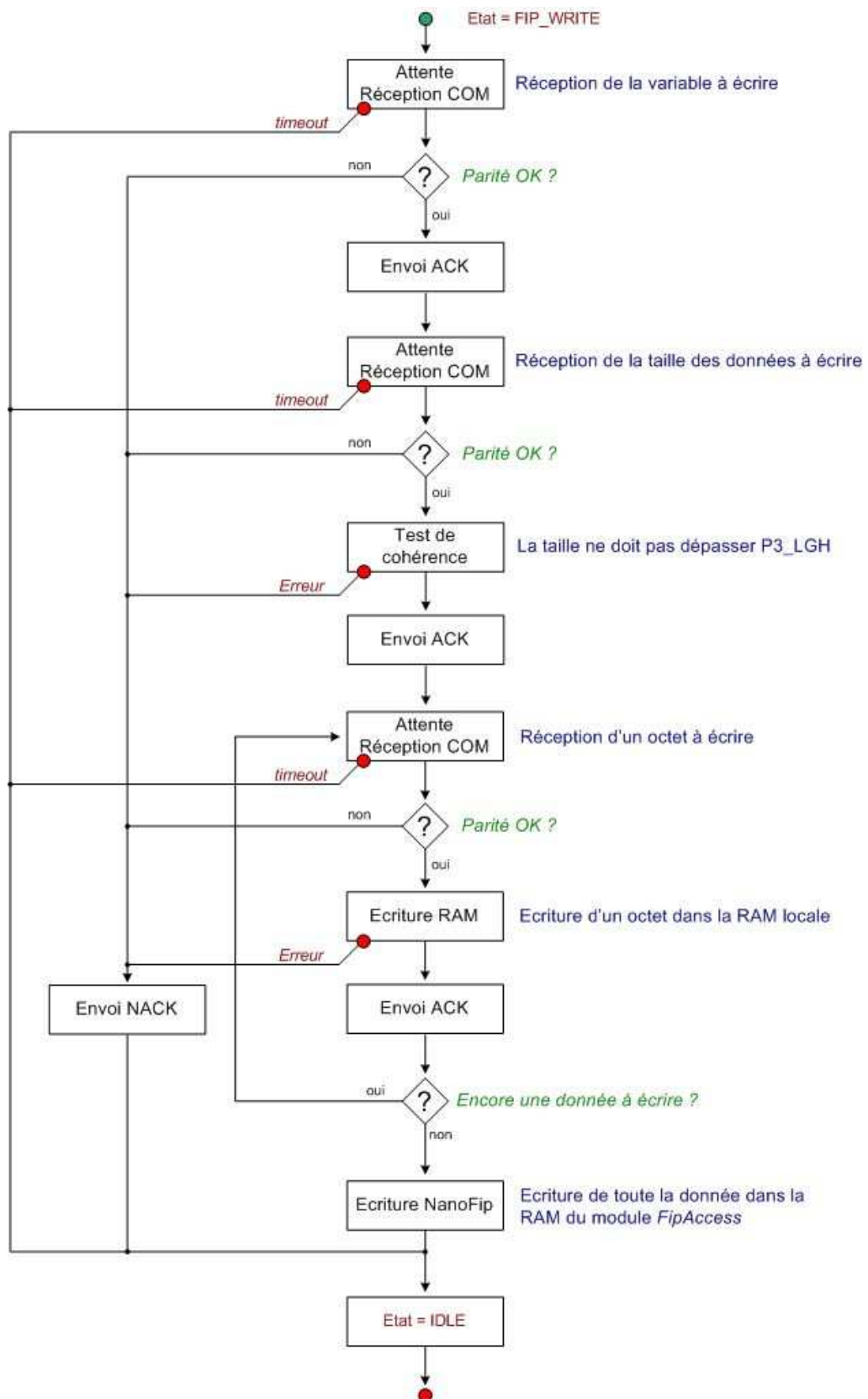
La réponse sur le port COM est donc :

Longueur totale : $N + 2$

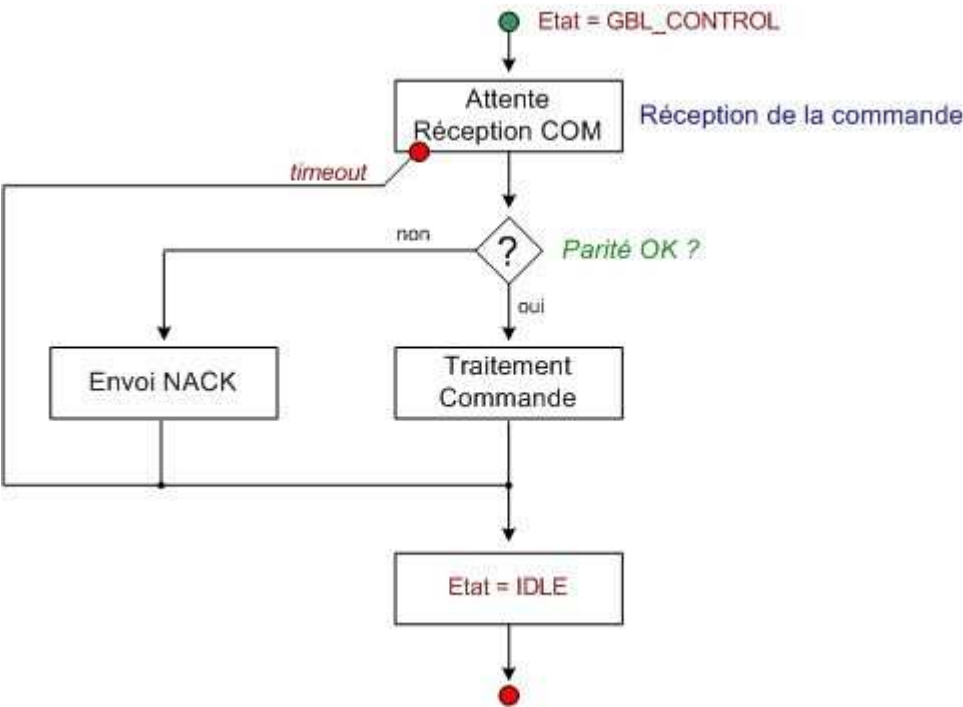
PDU

Longueur donnée FIP (N)

Donnée (N octets)

5.4.7. ECRITURE FIP

5.4.8. CONTROLE GENERAL



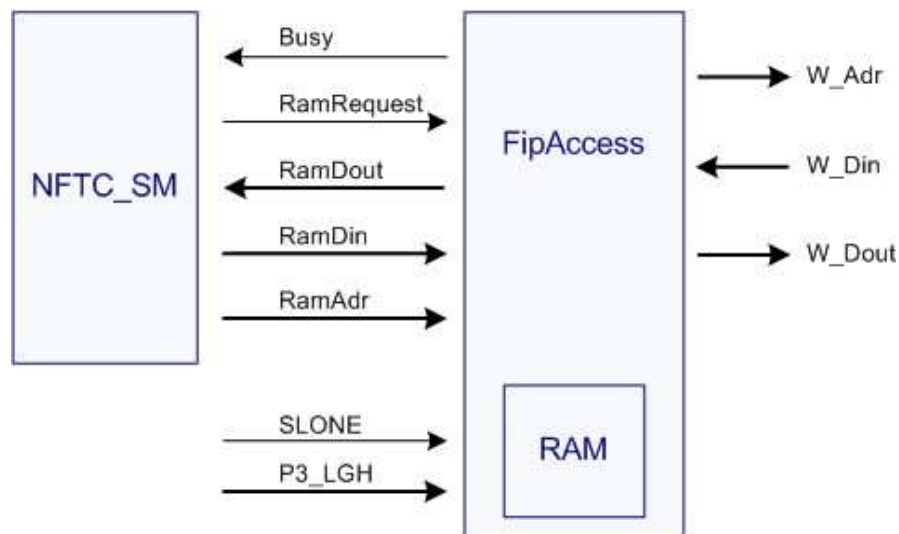
6. MODULES A EXECUTION CONCURRENTTE

6.1. ACCES DONNEES FIP : MODULE FIPACCESS

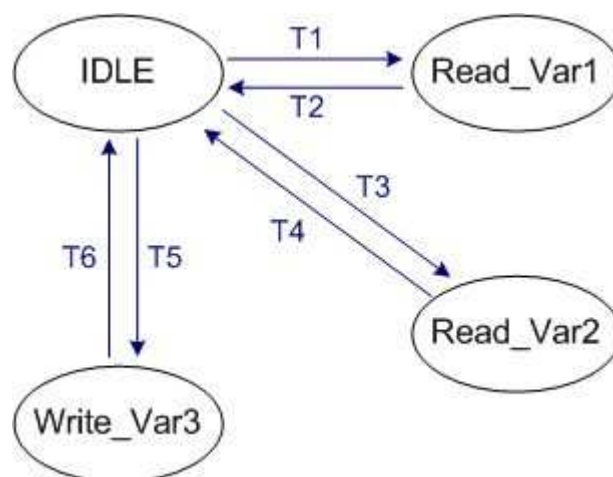
6.1.1. INTERFACE

Le module *FipAccess* intègre la gestion d'un espace RAM où les données FIP sont stockées.

Son interface est la suivante :



6.1.2. MACHINE A ETATS



Définition des Etats

Nom	Description de l'état	Etat suivant	Condition
IDLE	Attente	Read_Var1	T1
		Read_Var2	T3
		Write_Var3	T5
Read_Var1	Lecture de la variable 1 du NanoFip (VAR 05xyh) et écriture dans la RAM Pendant la lecture, BUSY = 1	IDLE	T2
Read_Var2	Lecture de la variable 2 du NanoFip (VAR 04..h) et écriture dans la RAM Pendant la lecture, BUSY = 1	IDLE	T4
Write_Var3	Lecture de la variable 3 depuis la RAM et écriture dans le NanoFip (VAR 06xyh) Pendant l'écriture, BUSY = 1	IDLE	T6

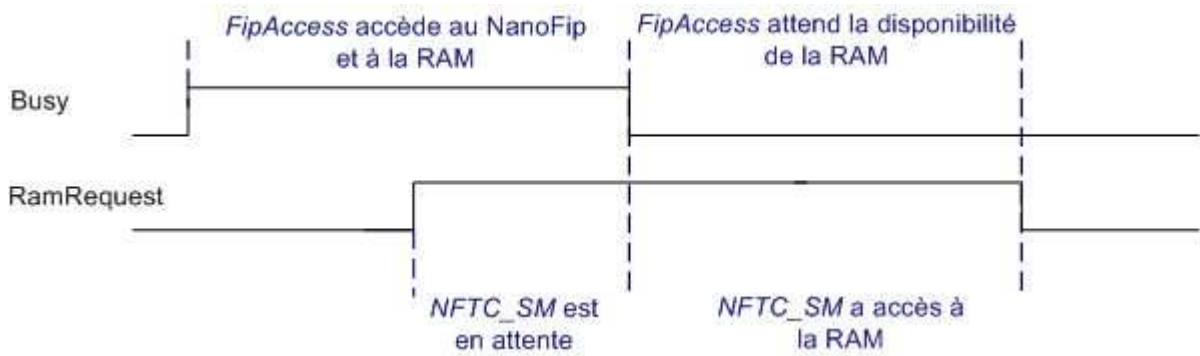
Définition des transitions

Nom	Source	Destination	Condition
T1	IDLE	Read_Var1	RamRequest = 0 ET front montant sur Var1_Rdy
T2	Read_Var1	IDLE	Variable 1 lue
T3	IDLE	Read_Var2	RamRequest = 0 ET front montant sur Var2_Rdy ET SLONE = 0
T4	Read_Var2	IDLE	Variable 2 lue
T5	IDLE	Write_Var3	RamRequest = 0 ET front montant sur Var3_Rdy
T6	Write_Var3	IDLE	Variable 3 écrite

6.1.3. FONCTIONNEMENT6.1.3.1. *L'accès partagé à la RAM*

Le signal BUSY permet au module *FipAccess* d'indiquer que le transfert d'une variable FIP est en cours (lecture ou écriture).

Un module externe doit attendre la mise à 0 de BUSY avant d'effectuer un accès à la RAM.



6.1.3.2. L'accès aux données FIP

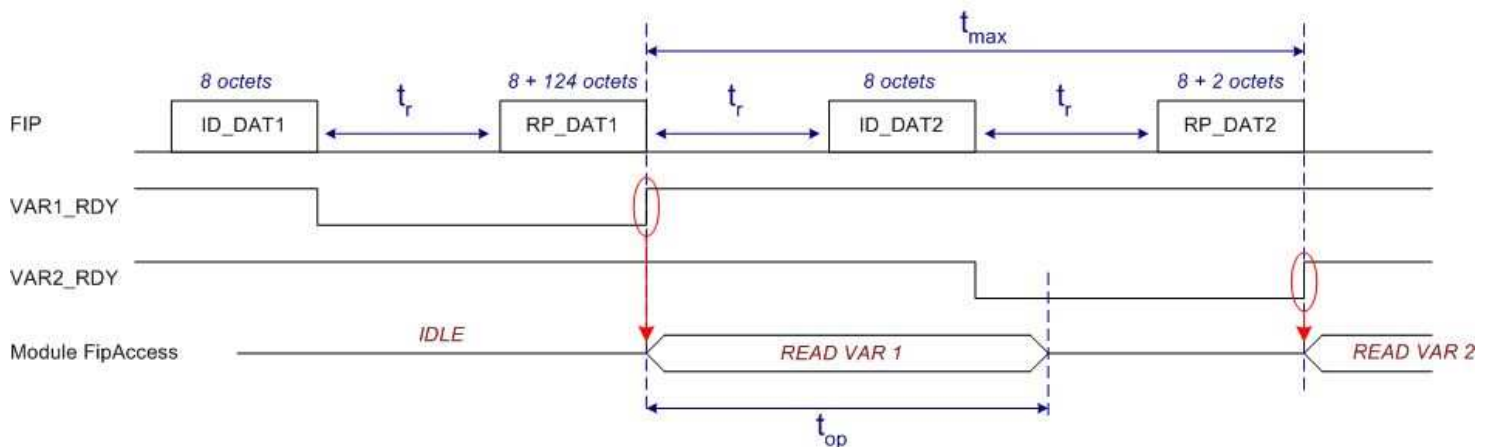
Lorsque la machine à état est en IDLE, elle surveille les fronts montants sur les signaux VARx_RDY.

Un front montant déclenche l'accès à cette variable :

- en lecture pour VAR1 et VAR2 (si SLONE = 0)
- en écriture pour VAR3

Il faut que l'accès à une variable soit terminé lorsque la variable suivante est prête. Le cas le plus défavorable est le suivant :

- la variable à lire fait 124 octets (taille maximale)
- la variable suivante fait 2 octets (taille minimale)



T_r est le temps de retournement du réseau. Il est donné par la documentation du NanoFip :

Vitesse	t_r
31.25 kbps	640 us
1 Mbps	10 us
2.5 Mbps	16 us

T_{\max} est le temps maximal que peut prendre le FPGA pour un accès à une variable FIP avant la validation de la suivante.

Ce temps vaut $2 \times T_r + \text{nombre_octets} \times 8 \times T_{\text{bit}}$, soit :

- 5888 us pour un réseau à 31.25 kbps
- 164 us pour un réseau à 1 Mbps
- 89.6 us pour un réseau à 2.5 Mbps

T_{op} est le temps de l'opération du FPGA.

Un octet du *NanoFip* est lu et écrit en RAM en 8 coups d'horloge (VAR1, VAR2).

Un octet de la RAM est lu et écrit dans le *NanoFip* en 8 coups d'horloge (VAR3).

(Ces temps d'accès inclus un Wait State de 3 coups d'horloge du *NanoFip*)

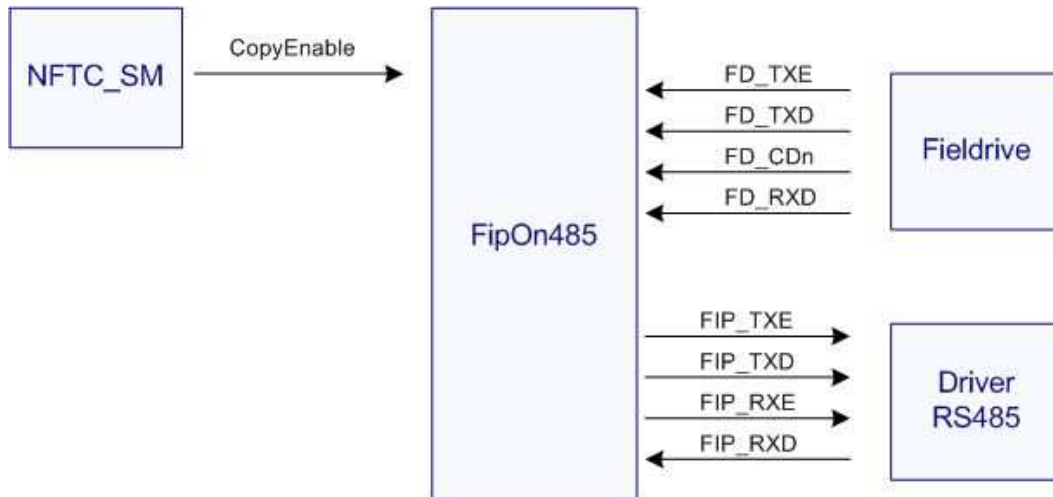
Il faut évidemment avoir : $T_{\text{op}} < T_{\max}$

Pour une donnée de 124 octets, le temps d'accès à la variable T_{op} (en lecture ou écriture) est ici de **42 us** avec une horloge à **24MHz**.

6.2. COPIE FIP SUR RS-485

6.2.1. INTERFACE

Le module *FipOn485* permet la transmission des trames FIP sur une ligne RS485.
Son interface est la suivante :



6.2.2. FONCTIONNEMENT



Actuellement les trames FIP sont transmises tel quel sur la ligne RS485, sans aucun traitement de la part du FPGA.

Pour les trames reçues par le Fieldrive, les signaux utilisés sont FD_CDn et FD_RXD.

Pour les trames transmises par le Fieldrive, on peut utiliser :

- les signaux de transmission FD_TXE et FD_TXD
- les signaux de réception (car le Fieldrive écoute sa propre émission) FD_CDn et FD_RXD

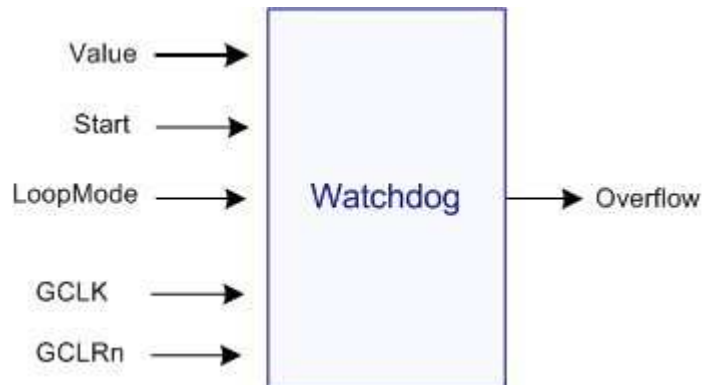
Les trames FIP sont alors envoyées sur le driver RS485 par les lignes FIP_TXE et FIP_TXD.



Les lignes FIP_RXE et FIP_RXD ne sont pas actuellement utilisées. Le FPGA ne peut qu'émettre des trames FIP sur la ligne RS-485.

6.3. WATCHDOG

6.3.1. INTERFACE



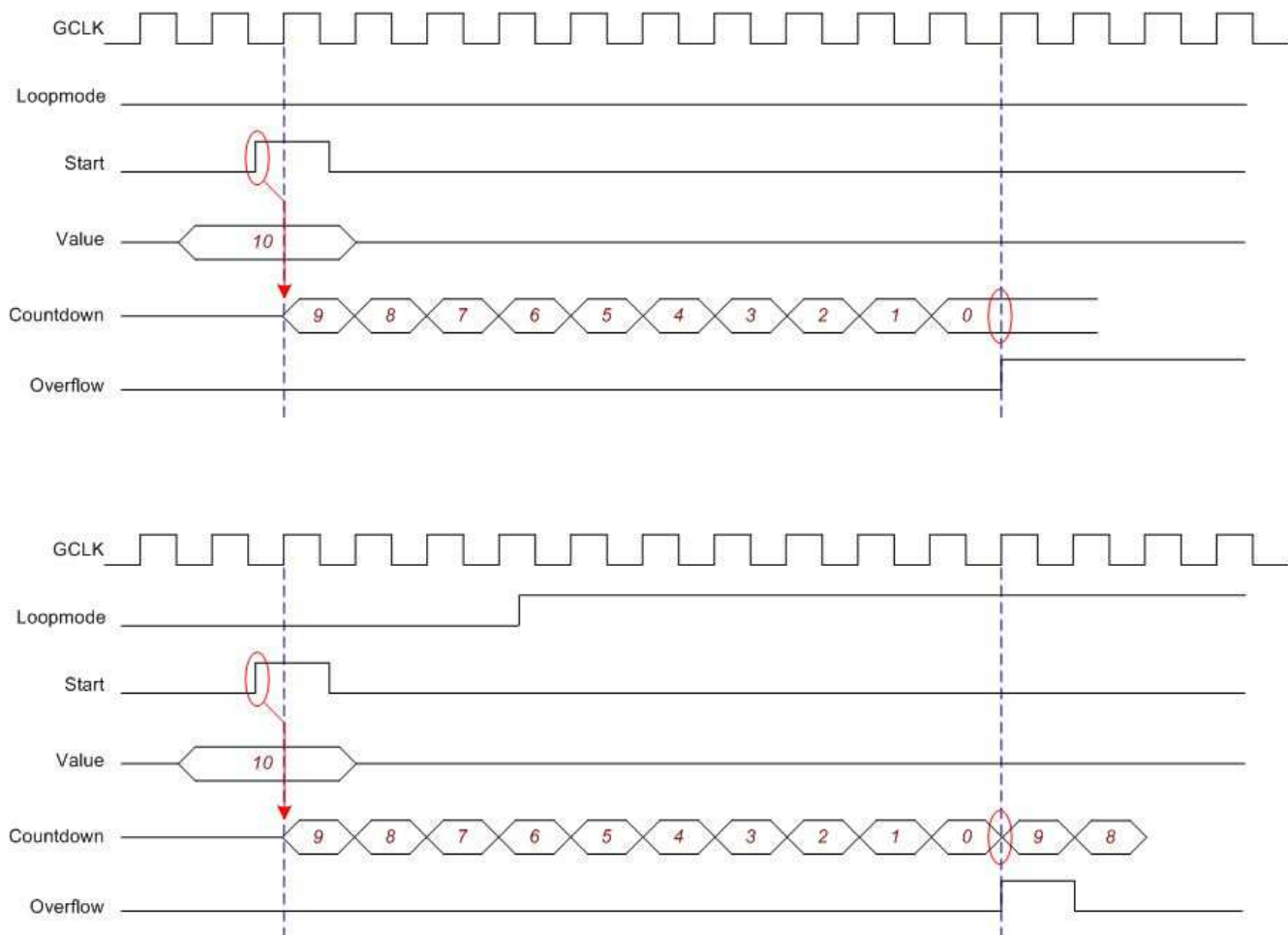
Définition des IO

Nom	Type	Taille	Description
GCLK	IN	1	Horloge du module
GCLRn	IN	1	Global Clear : invalide les fonctions du module. Actif à 0
Start	IN	1	Démarrage du watchdog : sur front montant, la donnée « Value » donne la valeur du compteur du Watchdog.
LoopMode	IN	1	Actif à 1 : bouclage du compteur lorsqu'il arrive à 0. S'il est à 0, un seul décompte est effectué : il faut un nouveau signal « Start » pour relancer le Watchdog
Value	IN	2	Valeur de démarrage du compteur : <ul style="list-style-type: none"> - 00 : Valeur 1 (constante à programmer) - 01 : Valeur 2 (constante à programmer) - 10 : Valeur 3 (constante à programmer) - 11 : reprise sur la valeur précédente
Overflow	OUT	1	Actif à 1. Indique que le compteur est dépassé.

6.3.2. FONCTIONNEMENT

La fonction basique du Watchdog est de :

- charger un compteur
- décompter les coups d'horloge
- lever le flag « Overflow » quand le compteur est dépassé



L'horloge du module « Watchdog » est paramétrable via la constante **CLOCK_DIVIDER**.

La fréquence de l'horloge interne est donnée par :

$$CLK_{int} = GCLK / (2 \cdot CLOCK_DIVIDER)$$

Par exemple, avec une horloge de 24 MHz :

- si **CLOCK_DIVIDER** = 12, l'horloge du « Watchdog » est cadencée à 1 MHz
- si **Value** = 1000, le signal **Overflow** est donc levé au bout de 1 ms

7. CONSTANTES UTILISEES

7.1. ACQUITTEMENTS

Mnémonique	Valeur	Description
ACK	0x01	Acquittement positif
NACK	0x02	Acquittement négatif : générique
NACK_PARITY	0x03	Acquittement négatif : erreur de parité
NACK_TIMEOUT	0x04	Acquittement négatif : timeout expiré. La donnée attendue n'a pas été émise par le PC
NACK_OVF	0x05	Acquittement négatif : dépassement mémoire.
NACK_INVALID	0x06	Acquittement négatif : donnée invalide

7.2. PERIPHERIQUES I2C

Composant	Adresse	Mnémonique
EEPROM	1010000	DEVICE_ADDRESS_1
ADC 1	0101000	DEVICE_ADDRESS_2
ADC 2	0101001	DEVICE_ADDRESS_3

8. EEPROM

8.1. MAPPING MEMOIRE

0x00	Version_MAJ			Version_MIN	
0x01	SPEED		IMP	rsv	
0x02	POI	SLONE	RATE	P3_LGTH	rsv
0x03	FIP address				
0x04	rsv		PWM_FD		
0x05	rsv		PWM_NF		
0x06 à 0x0F	rsv				
0x10 à 0x7F	USER_DATA				

Paramètre	Octet	Bits	Description
<i>Données liées à la configuration de la carte</i>			
Version_MAJ	0	7 à 4	Version majeure de la carte NFTC
Version_MIN	0	3 à 0	Version mineure de la carte NFTC
SPEED	1	7 à 6	Vitesse FIP câblée sur la carte : - 00 : 31.25 kbps - 01 : 1 Mbps - 10 : 2.5 Mbps - 11 : rsv
IMP	1	5 à 4	Impédance FIP : - 00 : 120 Ω - 01 : 150 Ω
<i>Données liées à la configuration du NanoFip</i>			
POI	2	7	Power-On Initialisation : - 1 : le NanoFip est configuré au power-on - 0 : pas de configuration du NanoFip
SLONE	2	6	Etat à imposer sur la patte SLONE du <i>NanoFip</i>
RATE	2	5 à 4	Etat à imposer sur les pattes RATE du <i>NanoFip</i>
P3_LGTH	2	3 à 1	Etat à imposer sur les pattes P3_LGTH du <i>NanoFip</i>
FIP_Address	3	7 à 0	Etat à imposer sur les pattes SUBS du <i>NanoFip</i>

PWM_FD	4	4 à 0	Valeur par défaut du chauffage du Fieldrive
PWM_NF	5	4 à 0	Valeur par défaut du chauffage du NanoFip

9. LEGENDES



Information à souligner



Retour attendu de la MOA / du client



Point important impactant la poursuite du projet



Point bloquant pour la poursuite du projet